

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-214527

(43)Date of publication of application : 05.08.1994

(51)Int.Cl. G09G 3/36  
G02F 1/133

(21)Application number : 05-005454

(71)Applicant : SHARP CORP

(22)Date of filing : 18.01.1993

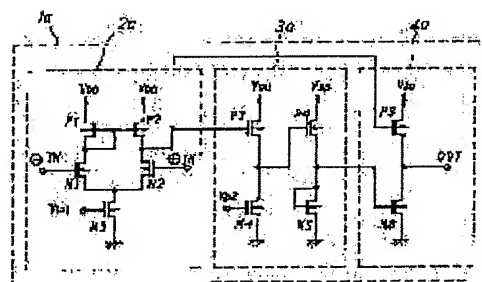
(72)Inventor : TANAKA ATSUSHI  
OGAWA YOSHINORI

## (54) OUTPUT CIRCUIT

## (57)Abstract:

PURPOSE: To provide a high performance output circuit with low current consumption capable of driving two pieces of transistors in an output buffer with one output of a differential amplifier and always and optimally controlling a bi-directional output current by using a level conversion circuit.

CONSTITUTION: A level conversion circuit 3a is constituted of two stages of amplifier stages consisting of MOS transistors P3, P4 and the loads connected to whose drains, and an output buffer 4a is constituted of two pieces of MOS transistors P5, N6. The output of the differential amplifier 2a is connected to the gate of the one side transistor P5 of the output buffer, and the output of the differential amplifier 2a is connected to the other transistor N6 through the level conversion circuit 3a. Thus, an output voltage corresponding to the voltage difference between an inversion input and a noninversion input is obtained, and the bi-directional output current control is realized. Further, the operational conditions of respective transistors P3-P5 are set, and the current consumption of the output circuit 1a is reduced, and the bi-directional output current control is attained with low current consumption.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-214527

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7319-5G		
G 0 2 F 1/133	5 0 5	9226-2K		

審査請求 未請求 請求項の数 2 O L (全 5 頁)

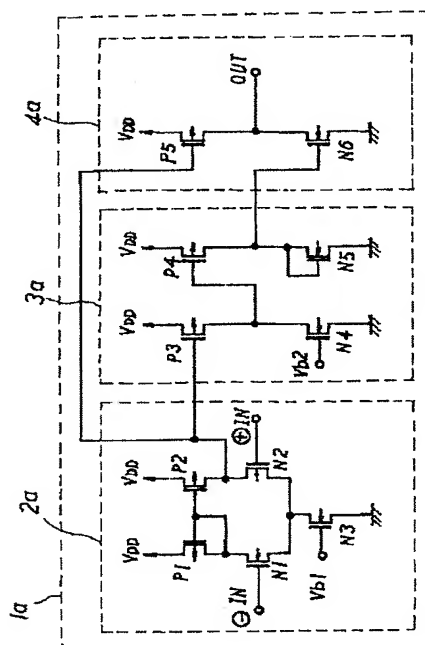
(21)出願番号	特願平5-5454	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成5年(1993)1月18日	(72)発明者	田中 淳志 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(72)発明者	小川 嘉規 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74)代理人	弁理士 梅田 勝

(54)【発明の名称】 出力回路

(57)【要約】

【構成】 差動増幅器2aの出力をレベル変換回路3aでレベル変換して出力バッファ4aを駆動する。

【効果】 小型、低消費電流で双方向出力が可能な出力回路を提供できる。



## 【特許請求の範囲】

【請求項 1】 差動増幅器と、レベル変換回路、および出力バッファからなり、上記レベル変換回路は、MOS トランジスタとそのドレインに接続された負荷とからなる 2 段の増幅段で構成され、上記出力バッファは 2 個の MOS トランジスタで構成され、該出力バッファの一方のトランジスタのゲートには上記差動増幅器の出力が接続され、他方のトランジスタのゲートには上記差動増幅器の出力が上記レベル変換回路を通して接続されたことを特徴とする出力回路。

【請求項 2】 差動増幅器と、レベル変換回路、および出力バッファからなり、上記レベル変換回路は、上記差動増幅器の出力がゲートに接続された MOS トランジスタとそのドレインに接続された負荷とから成る 2 個の独立した増幅段で構成され、上記出力バッファは 2 個の MOS トランジスタで構成され、該出力バッファのそれぞれのトランジスタのゲートには上記差動増幅器の出力が上記レベル変換回路を通して接続されたことを特徴とする出力回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶等の表示素子駆動用の出力回路に関するものである。

## 【0002】

【従来の技術】 図 3 に示すように、従来この種の出力回路 1 b は、差動増幅器 2 b、および出力バッファ 4 b からなり、出力バッファ 4 b は、ゲートに差動増幅器 2 b の出力が接続されたトランジスタ N 7 と、定電流トランジスタ N 6 を負荷とするソースフォロワで構成されている。また、差動増幅器 2 b は、入力トランジスタ N 1、N 2、および定電流トランジスタ N 3、およびカレントミラートランジスタ P 1、P 2 により構成される。

【0003】 通常、液晶表示素子等の駆動には、差動増幅器の反転入力と駆動出力 OUT が互いに接続され、ボルテージフォロワとして用いられ、非反転入力の入力電圧に追従して出力電圧が得られるようになっている。

【0004】 また、特開平 3-48283 では、図 4 に示すように、入力信号レベルの立ち下がりを検出し、出力レベルを引き下げる手段を備えた出力回路 1 c が紹介されている。すなわち、図 4 に示す出力回路 1 c は、差動増幅器 2 c と、立ち下がり検出回路 5 c、及び出力バッファ 4 c から成る。

## 【0005】

【発明が解決しようとする課題】 しかしながら、図 3 に示すような上記従来の出力回路では、負荷を駆動する出力電流の制御が出力バッファのソースフォロワトランジスタで行われるため、制御される出力電流は流出（または流入）の一方方向であり他方向は出力バッファを構成する負荷である定電流トランジスタに流れる電流で決まっており、この電流容量を大きくすると出力バッファの貫

通電流が増加するため、出力回路としての消費電流が大きくなってしまい、逆に消費電流を抑えると、電流容量が小さくなり出力回路の負荷駆動能力が低下してしまうという問題点があった。

【0006】 また、図 4 に示すような特開平 3-48283 の出力回路では、入力信号レベルの立ち下がりを検出して、一定の期間出力バッファの定電流トランジスタ N 6 の電流容量を大きくすることにより、不要な電流の消費を抑え低消費電流化を図っているが、出力レベルを引き下げる動作を行う期間が、入力信号レベルの立ち下がり検出回路の時定数で決まるため、出力回路の負荷の大きさや状態によって時定数の最適化を図る必要があった。

【0007】 本発明は、上記の問題点を解決し、低消費電流で、負荷の状態によらず常に最適な双方向の出力電流制御が可能な、表示素子駆動用の高性能出力回路を提供することを目的とするものである。

## 【0008】

【課題を解決するための手段】 差動増幅器と、レベル変換回路、および出力バッファからなり、レベル変換回路は、MOS トランジスタとそのドレインに接続された負荷とからなる 2 段の増幅段で構成され、出力バッファは 2 個の MOS トランジスタで構成され、出力バッファの一方のトランジスタのゲートには差動増幅器の出力が接続され、他方のトランジスタのゲートには差動増幅器の出力がレベル変換回路を通して接続される構成とした。

【0009】 また、差動増幅器と、レベル変換回路、および出力バッファからなり、レベル変換回路は、差動増幅器の出力がゲートに接続された MOS トランジスタとそのドレインに接続された負荷とからなる 2 個の独立した増幅段で構成され、出力バッファは 2 個の MOS トランジスタで構成され、出力バッファのそれぞれのトランジスタのゲートには差動増幅器の出力がレベル変換回路を通して接続される構成とした。

## 【0010】

【作用】 本発明によれば、レベル変換回路を用いることにより、差動増幅器の 1 つの出力で出力バッファの 2 個のトランジスタを駆動できるため、出力電流を双方向に制御可能であり、またレベル変換回路の定数を適切に設定することにより消費電流を抑えることができるため、低消費電流で、双方向の出力電流を制御可能な表示素子駆動用の高性能出力回路が得られることとなる。

## 【0011】

【実施例】 本発明の一実施例を図 1 に示す。同図において、1 a は出力回路であり、これは差動増幅器 2 a、レベル変換回路 3 a、および出力バッファ 4 a で構成される。差動増幅器 2 a は、入力トランジスタ N 1、N 2、および定電流トランジスタ N 3、およびカレントミラートランジスタ P 1、P 2 により構成される。レベル変換回路 3 a は、P c h トランジスタ P 3、P 4、およびそ

れぞれのドレインに接続される負荷からなり、P3のゲートには差動増幅器2aの出力が接続され、P4のゲートはP3のドレインに接続される。本実施例では、P3のドレインに接続される負荷として、一定の直流電圧Vb2をゲートに与えたNchトランジスタN4を用いており、P4の負荷としてゲートがドレインと接続されたNchトランジスタN5を用いている。出力バッファ4aは、PchトランジスタP5およびNchトランジスタN6で構成され、P5のゲートには差動増幅器2aの出力が接続され、N6のゲートにはレベル変換回路3aの出力が接続され、P5およびN6のドレインは互いに接続されている。

【0012】次に、本実施例の出力回路の動作について説明する。差動増幅器は、非反転入力と反転入力の電圧差を増幅した出力が得られ、反転入力の電圧に対し、非反転入力の電圧が高くなると、差動増幅器の出力であるトランジスタN2のドレイン電圧が下降し、逆に非反転入力の電圧が低くなると、N2のドレイン電圧が上昇する。従って、差動増幅器の出力がゲートに接続された出力バッファのトランジスタP5は、非反転入力の電圧が高くなるとソース・ドレイン間の抵抗値が低くなり、逆に非反転入力の電圧が低くなるとソース・ドレイン間の抵抗値が高くなる。このとき、反転入力および非反転入力の電圧が等しいときには、差動増幅器の出力電圧が、略P5のしきい値電圧になるように差動増幅器は設定される。一方、差動増幅器の出力はレベル変換回路のトランジスタP3で反転し、さらにトランジスタP4で反転され、出力バッファのトランジスタN6のゲートに与えられる。従って、非反転入力の電圧が高くなるとN6のソース・ドレイン間の抵抗値が高くなり、逆に非反転入力の電圧が低くなるとソース・ドレイン間の抵抗値が低くなる。このとき、反転入力および非反転入力の電圧が等しいときには、P3のドレイン電圧が略P4のしきい値電圧に、またP4のドレイン電圧が略N6のしきい値電圧になるように、P3およびP4の負荷の値が設定される。

【0013】以上の結果、反転入力・非反転入力の電圧差に対応した出力電圧が得られ、双方向の出力電流制御を実現している。また、液晶表示装置等の駆動用には、出力回路の出力端子OUTと差動増幅器の反転入力端子を互いに接続したボルテージフォロウとして用いられ、非反転入力に与えられる電圧に対応して負荷の充放電が終了した後は、反転入力と非反転入力の電圧が等しくなるため、上記のように各トランジスタの動作状態を設定することにより、出力回路の消費電流を極めて低く抑えることができ、低消費電流で双方向に出力電流制御が可能な高性能出力回路が得られる。

【0014】なお、トランジスタP3の負荷として高い抵抗値が必要となるため、本実施例では一定の直流電圧Vb2をゲートに与えたトランジスタN4を用いて実現

している。これによって、形状を大きくすることなく高い抵抗値を安定して得ることができ、小型でCMOSチップ上に容易に形成可能な出力回路が得られることとなる。

【0015】Vb2は差動増幅器に供給する直流電圧Vb1と同電圧で動作するように設定しておくことと電源の種類が少なくすみ合理的である。

【0016】また、本実施例の他にも、異なる構成の差動増幅器を用いた場合や、トランジスタ種類を入れ替えた場合でも、同様な効果が得られることは明らかである。

【0017】本発明の他の実施例を図2に示す。図2において、1a'は出力回路であり、これは差動増幅器2a'、レベル変換回路3a'、および出力バッファ4a'で構成される。差動増幅器2a'は、入力トランジスタN1、N2、および定電流トランジスタN3、およびカレントミラートランジスタP1、P2により構成される。レベル変換回路3a'は、PchトランジスタP3、P4、およびそれぞれのドレインに接続される負荷からなり、P3およびP4のゲートには差動増幅器2a'の出力が接続される。本実施例では、P3のドレインに接続される負荷として、一定の直流電圧Vb2をゲートに与えたNchトランジスタN4を用いており、P4の負荷としてゲートがドレインと接続されたNchトランジスタN5を用いている。出力バッファ4a'は、PchトランジスタP5およびNchトランジスタN6で構成され、P5のゲートはP3のドレインに接続され、N6のゲートはP4のドレインに接続され、P5およびN6のドレインは互いに接続されている。

【0018】次に、本実施例の出力回路の動作について説明する。差動増幅器は、非反転入力と反転入力の電圧差を増幅した出力が得られ、反転入力の電圧に対して、非反転入力の電圧が高くなると、差動増幅器の出力であるトランジスタN2のドレイン電圧が上昇し、逆に非反転入力の電圧が低くなるとN2のドレイン電圧が下降する。差動増幅器の出力はレベル変換回路のトランジスタP3およびP4で反転され、それぞれ出力バッファのトランジスタP5およびN6のゲートに与えられる。このため、P5およびN6のゲート電圧は、非反転入力の電圧が高くなると下降し、逆に非反転入力の電圧が低くなると上昇する。従って、非反転入力の電圧が高くなるとP5のソース・ドレイン間の抵抗値が低くなり、またN6のソース・ドレイン間の抵抗値が高くなる。逆に、非反転入力の電圧が低くなるとP5のソース・ドレイン間の抵抗値が高くなり、またN6のソース・ドレイン間の抵抗値が低くなる。このとき、反転入力および非反転入力の電圧が等しいときにはP3のドレイン電圧が略P5のしきい値電圧に、またP4のドレイン電圧が略N6のしきい値電圧になるように、P3およびP4の負荷の値が設定される。

【0019】以上の結果、反転入力・非反転入力の電圧差に対応した出力電圧が得られ、双方向の出力電流制御を実現している。また、液晶表示装置等の駆動用には、出力回路の出力端子OUTと差動増幅器の反転入力端子を互いに接続したボルテージフォロワとして用いられ、非反転入力に入力される電圧に対応して負荷の充放電が終了した後は、反転入力と非反転入力の電圧が等しくなるため、上記のように各トランジスタの動作状態を設定することにより、出力回路の消費電流を極めて低く抑えることができ、低消費電流で双方向に出力電流制御が可能な高性能出力回路が得られる。

【0020】なお、トランジスタP3の負荷として高い抵抗値が必要となるため、本実施例では一定の直流電圧Vb2をゲートに与えたトランジスタN4を用いて実現している。これによって、形状を大きくすることなく高い抵抗値を安定して得ることができ、小型でCMOSチップ上に容易に形成可能な出力回路が得られることとなる。

【0021】Vb2は差動増幅器に供給する直流電圧Vb1と同電圧で動作するように設定しておくことと電源の種類が少なくてすみ合理的である。

【0022】また、本実施例の他にも、異なる構成の差動増幅器を用いた場合や、トランジスタ種類を入れ替えた場合でも、同様な効果が得られることは明らかである。

る。

【0023】

【発明の効果】以上詳細に説明したように、本発明によれば、差動増幅器の出力をレベル変換し、出力バッファを駆動することにより、低消費電流で双方向出力が可能な高性能出力回路が得られる。しかも、本発明の双方向出力回路は、少ない構成素子数で実現できるため、小型でCMOSチップ上に容易に形成できる特徴も有しているものである。

【図面の簡単な説明】

【図1】本発明の出力回路の一実施例の構成を示す回路図である。

【図2】本発明の出力回路の他の実施例の構成を示す回路図である。

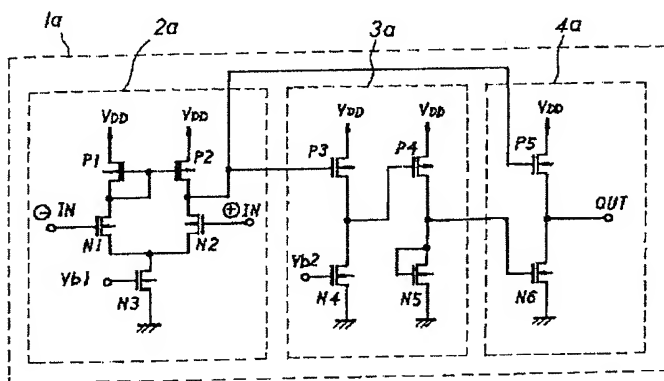
【図3】従来の出力回路の回路図である。

【図4】従来の他の出力回路の回路図である。

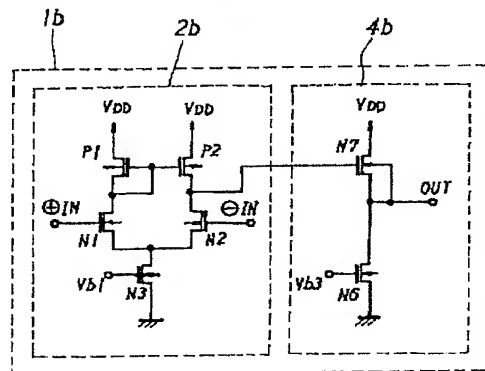
【符号の説明】

1a、1a'	出力回路
2a、2a'	差動増幅器
3a、3a'	レベル変換回路
4a、4a'	出力バッファ
P3、P4、P5	PchMOSトランジスタ
N4、N5、N6	NchMOSトランジスタ

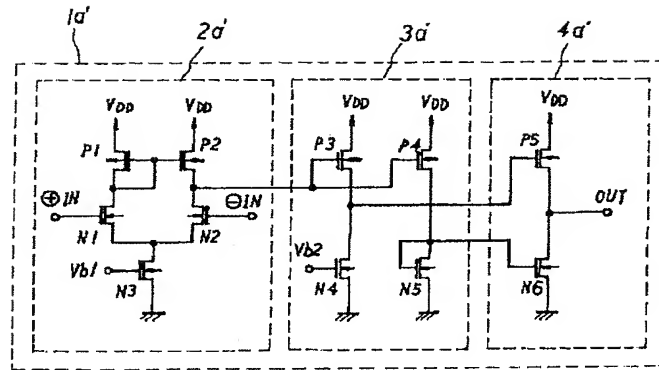
【図1】



【図3】



【図2】



【図4】

